



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 102 10 233 A 1**

⑤ Int. Cl.<sup>7</sup>:  
**H 01 L 21/336**  
H 01 L 21/8242

⑳ Aktenzeichen: 102 10 233.3  
㉔ Anmeldetag: 8. 3. 2002  
㉕ Offenlegungstag: 2. 1. 2003

**DE 102 10 233 A 1**

③① Unionspriorität:  
90114159 12. 06. 2001 TW

⑦① Anmelder:  
ProMOS Technologies, Inc., Hsinchu, TW

⑦④ Vertreter:  
Grünecker, Kinkeldey, Stockmair & Schwanhäusser,  
80538 München

⑦② Erfinder:  
Lee, Brian S., Hsinchu, TW

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Neues Integrationsverfahren zur Ausbildung erhöhter Kontakte für Sub-150nm Bauelemente

⑤⑦ Es wird ein Verfahren beschrieben zur Ausbildung von integrierten erhöhten Kontakten, um Bauelemente mit ultra-flachen Übergängen zu erhalten.  
Es werden Halbleiter-Bauelementstrukturen in und auf einem Substrat bereitgestellt und mit einer dielektrischen Schicht bedeckt. Die dielektrische Schicht wird durchgeätzt, um erste Öffnungen zu dem Substrat zu bilden.  
Die Oberfläche des Substrats wird an Stellen amorphisiert, an denen es in den ersten Öffnungen freigelegt ist. Eine Siliziumschicht wird selektiv auf der amorphisierten Substratoberfläche ausgebildet. Daraufhin werden Ionen in die Siliziumschicht implantiert, um erhöhte Kontakte auszubilden. Darauf folgend wird die dielektrische Schicht durchgeätzt, um zweite Öffnungen auszubilden zu Gates. Die ersten und zweiten Öffnungen werden mit einer leitenden Schicht gefüllt, um die Ausformung der Kontakte zu vervollständigen bei der Herstellung des integrierten Schaltkreis-Bauelements.

**DE 102 10 233 A 1**

## Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf die Herstellung integrierter Schaltkreis-Bauelemente und insbesondere auf ein Verfahren zur Herstellung eines erhöhten Kontaktes, um Bauelemente mit ultra-flachen Übergängen bei der Herstellung von integrierten Schaltkreisen zu erreichen.

[0002] Bei der Herstellung von integrierten Schaltkreis-Bauelementen wird ein flacher Übergang (weniger als 100 nm) gefordert, wenn die Grundabmessung unter den 250 nm Bereich schrumpft. Obwohl erhebliche Fortschritte erzielt wurden, um einen flachen Übergang durch den Einsatz von Niederenergie-Implantierung mit nachfolgendem schnellen Wärmebehandlungsprozess bzw. rapid thermal process (RTP) auszubilden, wurde der Ausbildung von Kontakten über dem flachen Übergang wenig Aufmerksamkeit gewidmet. Um vollständig funktionsfähige Bauelemente herzustellen, muß ein sicherer Kontakt erstellt werden, um einen niederohmigen Kontakt zur Oberfläche eines Source/Drain Übergangs bereitzustellen. Wegen einer grundsätzlichen Begrenzung ist jedoch ein gleichzeitiges Erreichen eines geringen Widerstands und eines flachen Kontaktes nicht trivial: um einen geringen Widerstand auszubilden, wird eine hochdosierte Implantierung benötigt und um einen flachen Übergang auszubilden, wird eine Niederenergie-Implantierung benötigt.

[0003] Eine Niederenergie-Implantierung leidet an einem geringen Strahlstrom wegen ihrer prinzipiellen Raumladungsbegrenzung. Um einen niederohmigen Kontakt auszubilden, wird eine Implantierung mit hoher Dosierung benötigt, um die Schottky-Barriere zu überwinden, um einen ohmschen Kontakt auszubilden. Wegen der Kriterien eines raumladungsbegrenzten Stromes wird jedoch eine Hochenergie-Implantierung benötigt. Deshalb wird im allgemeinen eine Kontaktimplantierung mit hoher Dosierung (höher als die des Übergangs) und hoher Energie (höher als die des Übergangs) durchgeführt, aber entfernt von einer Gateseite. Dies wird einen tieferen Kontaktübergang zur Folge haben als die Tiefe des Source/Drain Übergangs. Wenn die Grundabmessung schrumpft, verbessert sich die Beherrschung der Überlappung nicht ebenso stark wie die Beherrschung kritischer Abmessungen was ungenügende Fehljustierung (Übersetzer: wohl Justierung) zwischen den Schichten (>30%) zur Folge hat. Dies wird Fehljustierungen zwischen Kontakt und Gate-Elektrode zur Folge haben. Auf diese Weise wird der tiefere Kontaktübergang die Leistung des Bauelements beeinflussen durch Verursachen eines Short-Channel-Effektes (SCE) und Verminderung der Schwellspannung.

[0004] Der Kontaktübergang wird typischerweise auf eine reine Siliziumoberfläche implantiert, während der Source/Drain Übergang durch ein Abschirm Oxid implantiert wird. Bei einer Niederenergie-Implantierung verbleibt ein erheblicher Anteil der Dotierungssubstanzen, mehr als 50%, im Abschirm Oxid. Um das Kontaktproblem für zukünftige Bauelemente endgültig zu lösen, wird die Ausbildung erhöhter Kontakte ideal sein.

[0005] Eine Anzahl von Patenten haben die Aspekte der Herstellung von Übergängen und Kontakten angesprochen. U.S. Patent 6,009,691 für Ang et al offenbart ein Verfahren zur Ausbildung von Source/Drain ohne den Einsatz von selektivem Epithaxialwachstum. U.S. Patent 6,008,104 für Schrems zeigt einen DRAM Prozess mit plasmadotierten Source/Drains, mehreren selektiven Ätzvorgängen und einem Kontaktprozess. U.S. Patent 5,904,770 für Ohtani et al zeigt ein Verfahren zur Musterung einer amorphen Siliziumschicht und anschließender Ausbildung von erhöhten Sour-

ce/Drains in dieser Schicht durch Plasmadotierung. U.S. Patent 4,912,065 für Mizuno et al lehrt einen Plasma-Dotierungsprozess. U.S. Patent 5,718,800 für Juengling und 6,136,643 für Jeng et al zeigt Kontaktprozesse und Nitrid-Abdeckungen über Gates.

[0006] Dementsprechend ist es ein erstes Ziel der vorliegenden Erfindung, ein wirkungsvolles und sehr herstellungsgerechtes Verfahren zur Ausbildung von erhöhten Kontakten bei der Herstellung integrierter Schaltkreise bereitzustellen.

[0007] Es ist ein weiteres Ziel der Erfindung, erhöhte Kontakte unter Nutzung von Polysilizium auszubilden.

[0008] Es ist ein anderes Ziel der Erfindung, erhöhte Kontakte auszubilden durch den Einsatz von Polysilizium, das durch einen Prozess halbkugelförmiger Körnung bzw. hemispherical grain (HSG) abgeschieden ist.

[0009] Es ist noch ein anderes Ziel der Erfindung, erhöhte Polysilizium-Kontakte auszubilden, die mit einem Niederenergie-Implantierungsverfahren integriert werden, um flache Kontakte auszubilden.

[0010] Es ist noch ein weiteres Ziel der Erfindung, erhöhte Polysilizium-Kontakte auszubilden unter Einsatz selektiver Polysilizium Abscheidung bei einer gesteuerten Korngröße, wobei die Polysiliziumschicht implantiert wird, um Bauteile ultra-flacher Übergänge zu erreichen.

[0011] Gemäß den Zielen der Erfindung wird ein integriertes Verfahren zur Ausbildung erhöhter Kontakte erreicht, um Bauelemente mit ultraflachen Übergängen zu erhalten. Halbleiter-Bauelementstrukturen in und auf einem Substrat werden bereitgestellt und mit einer dielektrischen Schicht bedeckt.

[0012] Die dielektrischen Schicht wird durchgeätzt, um erste Öffnungen zu dem Substrat auszubilden. Die Oberfläche des Substrats wird an Stellen, an denen es in den ersten Öffnungen freigelegt ist, amorphisiert.

[0013] Eine Siliziumschicht wird selektiv ausgebildet auf der amorphisierten Substratoberfläche. Dann werden Ionen in die Siliziumschicht implantiert, um Dotierungen in den erhöhten Kontakte bereitzustellen.

[0014] Darauf folgend wird die dielektrische Schicht durchgeätzt, um zweite Öffnungen auszubilden zu Gates. Die ersten und zweiten Öffnungen werden mit einer leitenden Schicht gefüllt, um die Ausbildung der Kontakte zu vervollständigen bei der Herstellung eines integrierten Schaltkreis-Bauelements.

[0015] In den beigefügten Zeichnungen, die einen Teil der Beschreibung bilden, wird gezeigt:

[0016] Fig. 1 bis 6 sind Querschnittsdarstellungen einer bevorzugten Ausführungsform der vorliegenden Erfindung.

[0017] Der Prozess der vorliegenden Erfindung stellt ein Verfahren zur Ausbildung erhöhter Polysiliziumkontakte bereit, um Bauteile mit ultra-flachen Übergängen zu erreichen. Bei dem Verfahren der vorliegenden Erfindung wird eine selektive Polysilizium Abscheidung mit einer gesteuerten Korngröße in den Kontaktöffnungen durchgeführt.

[0018] Die Polysiliziumschicht wird unter Niederenergie und hoher Dosierung implantiert. Die dotierte Polysiliziumschicht wirkt als aufbrauchbare Kontaktschicht, um das Vordringen des Übergangs in das Silizium während der Silizidierung auszugleichen. Das Verfahren der vorliegenden Erfindung kann sowohl für DRAM als auch für non-DRAM Bauteile angewendet werden.

[0019] Fig. 1 auf die nun insbesondere Bezug genommen wird, zeigt ein Halbleitersubstrat 10. Tiefgrabenkondensator 24 wird gezeigt bei der Herstellung eines Tiefgraben-DRAM Schaltkreis-Bauelements, bzw. Deep trench DRAM integrated circuit device. Dem Fachmann ist verständlich, daß der Prozess der vorliegenden Erfindung nicht auf ein

Tiefgraben-DRAM Bauelement wie es in den Abbildungen gezeigt ist, oder auf jedes DRAM Bauelement begrenzt sein soll, sondern auch auf jegliche Anwendung ausgedehnt und in solcher angewendet werden kann, in welcher sowohl flache Übergänge als auch niederohmige Kontakte zu diesen Übergängen gefordert werden.

[0020] Gate-Elektroden und Verbindungsleitungen 30 wurden auf dem Halbleitersubstrat aufliegend ausgebildet. Eine abdeckende Schicht 34 bedeckt die Deck- und Seitenwandflächen der Gate-Elektroden und der Verbindungsleitungen. Die abdeckende Schicht kann eine Nitrid Schicht sein wie etwa Silizium-Nitrid oder Silizium-Oxynitrid mit einer Dicke zwischen ungefähr 100 und 300 Angström. Flache Source/Drain Übergänge 100 wurden angrenzend an die Gate-Elektroden ausgebildet.

[0021] Die dielektrische Zwischenschicht 40 ist als Decke über die Strukturen des Halbleiter-Bauelements abgeschieden. Diese Schicht kann Siliziumdioxid, Borophosphotetraethoxysilane (BP-TEOS) Oxid, Borophosphosilikat Glas (BPSG), Phosphosilikat Glas (PSG), oder eine Kombination aus BPSG und Siliziumdioxid usw. umfassen, und kann aus einer oder mehreren Schichten bestehen. Die gesamte Dicke der Schicht 40 beträgt zwischen ungefähr 6000 und 10000 Angström. Die Oberseite der dielektrische Zwischenschicht 40 kann planbearbeitet sein, z. B. durch Rückfluß von dielektrischen Material, Rückätzen, oder chemisch-mechanische Politur (CMP), oder ähnliches.

[0022] Um einen minimalen Zwischenraum zwischen dem Gate und dem Kontakt zu bewahren, kommt vorzugsweise ein selbstjustierender Kontakt-Ätzprozess (SAC) zum Einsatz, wie derjenige, der in der parallelanhängigen US Patent Anmeldung Serien Nummer 09/898125-(PR-90-004/007), für denselben Erfinder beschrieben ist hiermit als Bezugsdokument aufgenommen wird. Das bedeutet, daß die Kontakt-zu-Substrat Ätzung von der Kontakt-zu-Gate Ätzung entkoppelt ist. Das bedeutet, wie in Fig. 1 gezeigt, daß Öffnungen 50 für den Kontakt zu den Bitleitungen (CB) und die Öffnungen 52 für den Kontakt zum Substrat (CS) gleichzeitig geätzt werden unter Einsatz des SAC Ätzprozesses. Die Öffnung 54 für den Kontakt zum Gate wird später im Herstellprozeß geätzt. Mit diesem Verfahren werden sowohl CB als auch CS vor Fehljustierung zwischen Kontaktlöchern und Gate geschützt und machen das Bauelement nach der Implantierung des Übergangs und des Kontakts robuster. Die gesonderte Ätzung für den Gate Kontakt gestattet es, diesen Ätzvorgang vollständig zu optimieren durch die Vermeidung von übermäßigem Ätzen durch die Gate Silizidschicht und dadurch, daß ein größeres Kontaktgebiet zugelassen wird. Das neue Verfahren erfordert keine neuen Ätzwerkzeuge oder -prozesse, aber erlaubt eine unabhängige Optimierung der Ätzprozesse.

[0023] Jetzt wird mit Bezug auf Fig. 2 eine Oberflächen-Amorphisierung in den Kontakt Öffnungen durchgeführt. Schwere Inert-Ionen werden in das unter den Kontaktöffnungen liegende Substrat schichtweise implantiert. Ionen wie ungefähr Ar, Xe, Kr oder Ähnliche werden mit einer Dosierung zwischen ungefähr  $1E13$  und  $1E15$  Ionen/cm<sup>2</sup> und einer Energie zwischen etwa 1 und 10 KeV implantiert, um die Gebiete 102 auszubilden.

[0024] Alternativ dazu können Dotierungionen wie etwa In, As<sub>2</sub>, Sb, BF<sub>2</sub>, B<sub>10</sub>H<sub>x</sub>, usw. durch eine Maske hindurch, die nicht gezeigt ist, in das unter den Kontaktöffnungen liegende Substrat implantiert werden mit einer Dosierung zwischen ungefähr  $1E14$  und  $1E15$  Ionen/cm<sup>2</sup> und einer Energie zwischen ungefähr 5 und 20 KeV, um die Gebiete 102 auszubilden. Bei dieser Alternative wird die Oberflächen-Amorphisierung und die Einführung der Dotierungssubstanzen in das Substrat gleichzeitig erreicht.

[0025] Diese Implantierung kann durch Ionenimplantierung oder durch Plasmaimplantierung geschehen. Das Ergebnis der Implantierung ist eine Amorphisierung der Oberfläche des Substrats in den Kontaktöffnungen 50 und 52 bis zu einer Tiefe von ungefähr 10 bis 20 nm.

[0026] Mit Bezug auf Fig. 3 wird nun das Substrat gereinigt z. B. mit einem herkömmlichen Naßreinigungsprozess. Jetzt wird eine Polysiliziumschicht 120 selektiv auf das amorphisierte Substrat in den Kontakt-Öffnungen aufgewachsen. Ein kristallines Silizium ist hier in den Kontakt-Öffnungen nicht notwendig, weil das Polysilizium schließlich während der Nach-Wärmebehandlungsschritte amorphisiert wird. Das selektive Polysilizium Wachstum kann z. B. mittels eines Prozesses halbkugelförmiger Körnung bei Niedertemperatur nach der Oberflächen Amorphisierung durch Niederenergie-Plasmodotierung oder Ionenimplantierung durchgeführt werden. Die Amorphisierung und HSG Abscheidung sollten in der Weise optimiert werden, daß der HSG Prozess abgeschlossen ist, bevor eine Rekristallisation während des HSG Prozesses stattfindet.

[0027] Die HSG Korngröße und Dicke müssen in der Weise gewählt werden, daß das Vordringen von Fehlstellen in das Silizium Substrat minimiert werden. Die Dicke des Films 120 muß kontrollierbar sein für eine optionale Einbindung eines Silizidierungsprozesses. Die Dicke des Films 120 sollte zwischen etwa 100 und 300 Angström sein. Die Dicke des Films wird durch die Parameter Zeit, Temperatur und Gaszusammensetzung gesteuert.

[0028] Mit Bezug auf Fig. 4 wird nun die Implantierung der Kontakte und die Wärmebehandlung durchgeführt. Um einen niederohmigen Kontakt auszubilden, müssen die Dosierung, die Implantierungsenergie, Dotierungsmaterial und Wärmebehandlungsbedingungen optimiert werden. Jetzt wird die Polysiliziumschicht 120 am Boden der Kontaktöffnungen dotiert. Das Polysilizium 120 kann insitu dotiert werden durch Implantierung von Dotierungionen in das Substrat zur Oberflächenamorphisierung oder dotiert werden durch Plasmodotierung oder Ionenimplantierung. Das Polysilizium 120 wird dotiert, um erhöhte Kontakte auszubilden. Die Dotierung umfaßt eine niedrige Energie zwischen ungefähr 5 und 20 KeV und weniger als ungefähr 30 KeV und eine hohe Dosierung zwischen ungefähr  $1E14$  und  $1E15$  Ionen/cm<sup>2</sup> oder mehr als ungefähr  $3E15$  Ionen/cm<sup>2</sup>.

[0029] Die Implantierung der Kontakte zur Bitleitung 130, die optionale PFET Implantierung 134, und NFET Implantierung 132 werden mit geeigneten Blockierungsmasken, die nicht gezeigt sind, durchgeführt. Es wird eine Kombination von Plasmodotierung mit Niederenergie und hoher Dosierung (PLAD) und Ionenimplantierung mit mittlerer Energie und niedriger Dosierung durchgeführt.

[0030] Jetzt wird das Substrat wärmebehandelt unter Einsatz eines schnellen thermischen Prozesses (RTP) oder einer Ofenwärmebehandlung, um die Dotierung einzuprägen, um sowohl die erhöhten Kontakte 120 als auch die Kontaktübergänge 102 zu aktivieren. Die Wärmebehandlung rekristallisiert ebenso Kristallschaden im Substrat.

[0031] Mit Bezug auf Fig. 5 wird nun eine Maske 155 über dem Wafer gebildet, die Öffnungen an Stellen trägt, wo Gatekontakte erstellt werden müssen. Jetzt wird der gesonderte Ätzvorgang für die Gatekontakte durchgeführt. Der gesonderte Ätzvorgang für die Gatekontakte erlaubt eine unabhängige Optimierung dieses Ätzvorganges vom Ätzvorgang Kontakt zu Substrat. Dieser Ätzvorgang ist ein selektiver sequentieller Ätzvorgang für Prozessspielraum und Unempfindlichkeit gegenüber Prozessungleichmäßigkeit. Dieses Verfahren, den Gatekontakt gesondert zu ätzen, ist ausdehnbar auf einen Metallgateprozess. Die Gatekontakt-

öffnung 160 ist ausgebildet.

[0032] Jetzt wird die Maske entfernt und die Kontakte werden gefüllt. Die Kontaktöffnungen können z. B. mit einer ersten Metallschicht 170 gefüllt werden. Diese Metallschicht kann beispielsweise aus Tungsten, Polysilizium, Tannitrid, oder Tantal bestehen, wie in Fig. 6 gezeigt. Dieser Füllung vorausgehend kann eine Silizidierung in den Kontaktöffnungen durchgeführt werden. Die erhöhten Polysiliziumkontakte werden überwiegend durch den Silizidierungsprozess aufgezehrt werden, so daß auf diese Weise die ultraflachen Übergänge, unterhalb der Polysiliziumkontakte liegend, bewahrt werden.

[0033] Der Prozess der Erfindung stellt niederohmige Kontakte und flache Übergänge mit einer Tiefe des Übergangs zwischen ungefähr 50 und 100 nm bereit.

[0034] Die Bearbeitung wird auf herkömmliche Weise weitergeführt z. B. mit höheren Metallisierungsstufen. Der Prozess der vorliegenden Erfindung stellt ein Integrationsverfahren bereit, um erhöhte Polysiliziumkontakte für ultraflache Übergänge auszubilden. Das Verfahren kann für DRAM und Nicht-DRAM Bauelemente angewendet werden.

[0035] Während die Erfindung insbesondere mit Bezug auf bevorzugte Ausführungsformen derselben gezeigt und beschrieben wurde, wird der Fachmann verstehen, daß verschiedene Änderungen in Form und Einzelheiten durchgeführt werden können, ohne vom Geist und Umfang der Erfindung abzuweichen.

#### Patentansprüche

1. Ein Verfahren zur Ausbildung von Kontakten bei der Herstellung eines integrierten Schaltkreis-Bauelements das umfaßt:  
bereitstellen von Halbleiter-Bauelementstrukturen in und auf einem Substrat;  
bedecken der Halbleiter-Bauelementstrukturen mit einer dielektrischen Schicht;  
ätzen durch die dielektrische Schicht, um erste Öffnungen zu dem Substrats auszubilden;  
amorphisieren einer Oberfläche des Substrats an Stellen, an denen es in den ersten Öffnungen freigelegt ist;  
selektives ausbilden einer Polysiliziumschicht auf der amorphen Substratoberfläche;  
implantieren von Ionen in die Polysiliziumschicht, um erhöhte Kontakte auszubilden;  
darauf folgend ätzen durch die dielektrische Schicht um zweite Öffnungen zu Gates auszubilden; und  
füllen der ersten und zweiten Öffnungen mit einer leitenden Schicht, um die Ausbildung der Kontakte zu vervollständigen bei der Herstellung des integrierten Schaltkreis-Bauelements.
2. Das Verfahren gemäß Anspruch 1, wobei die Halbleiter-Bauelementstrukturen Gate-Elektroden und Source Gebiete und Drain Gebiete beinhalten.
3. Das Verfahren gemäß Anspruch 1, wobei die dielektrische Schicht einen oder mehrere Stoffe aus der Siliziumdioxid, Borophosphotetraethoxysilaneoxid, Borophosphosilikatglas, Phosphosilikatglas beinhaltenen Gruppe umfaßt.
4. Das Verfahren gemäß Anspruch 1, wobei die dielektrische Schicht eine Dicke zwischen ungefähr 6000 und 10000 Angström hat.
5. Das Verfahren gemäß Anspruch 1, wobei der Schritt um die ersten Öffnungen durch Ätzen auszubilden ein selbstjustierender Kontakt-Ätzprozess ist.
6. Das Verfahren gemäß Anspruch 1, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die

Dotierung der Substratoberfläche mit einem Prozess aus der insitu Dotierung, Ionenimplantierung, und Plasmaimplantation beinhaltenen Gruppe umfaßt.

7. Das Verfahren gemäß Anspruch 1, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die schichtweise Implantierung des Substrats mit Ionen aus der Ar, Xe, und Kr beinhaltenen Gruppe umfaßt.

8. Das Verfahren gemäß Anspruch 1, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die Abdeckung des Substrats und die Implantierung des Substrats mit Ionen aus der In, As<sub>2</sub>, Sb, BF<sub>2</sub>, und B<sub>10</sub>H<sub>x</sub> beinhaltenen Gruppe umfaßt.

9. Das Verfahren gemäß Anspruch 1, wobei der Schritt der selektiven Ausbildung einer Polysiliziumschicht auf der amorphen Oberfläche des Substrats das Aufwachsen einer Polysiliziumschicht unter Einsatz eines Prozesses halbkugelförmiger Körnung umfaßt.

10. Das Verfahren gemäß Anspruch 1, wobei der Schritt der Ionenimplantierung in die Polysiliziumschicht zur Ausbildung von erhöhten Kontakten einen Prozess aus der Insitu-Dotierung, Ionenimplantierung und Plasmaimplantation beinhaltenen Gruppe umfaßt.

11. Ein Verfahren zur Ausbildung von Kontakten bei der Herstellung eines integrierten Schaltkreis-Bauelements das umfaßt:

bereitstellen von Halbleiter-Bauelementstrukturen in und auf einem Substrat;  
bedecken der Halbleiter-Bauelementstrukturen mit einer dielektrischen Schicht;  
ätzen durch die dielektrische Schicht, um erste Öffnungen zu dem Substrats auszubilden;  
amorphisieren einer Oberfläche des Substrats an Stellen, an denen es in den ersten Öffnungen freigelegt ist;  
selektives ausbilden einer Polysiliziumschicht auf der amorphen Substratoberfläche unter Einsatz eines Prozesses halbkugelförmiger Körnung;  
implantieren von Ionen in die Polysiliziumschicht, um erhöhte Kontakte auszubilden;  
darauf folgend ätzen durch die dielektrische Schicht um zweite Öffnungen zu Gates auszubilden; und  
füllen der ersten und zweiten Öffnungen mit einer leitenden Schicht, um die Ausbildung der Kontakte zu vervollständigen bei der Herstellung des integrierten Schaltkreis-Bauelements.

12. Das Verfahren gemäß Anspruch 11, wobei die Halbleiter-Bauelementstrukturen Gate-Elektroden beinhalten.

13. Das Verfahren gemäß Anspruch 11, wobei die dielektrische Schicht einen oder mehrere Stoffe aus der Siliziumdioxid, Borophosphotetraethoxysilaneoxid, Borophosphosilikatglas, Phosphosilikatglas beinhaltenen Gruppe umfaßt.

14. Das Verfahren gemäß Anspruch 13, wobei die dielektrische Schicht eine Dicke zwischen ungefähr 6000 und 10000 Angström hat.

15. Das Verfahren gemäß Anspruch 11, wobei der Schritt, um die ersten Öffnungen durch Ätzen auszubilden, ein selbstjustierender Kontakt-Ätzprozess ist.

16. Das Verfahren gemäß Anspruch 11, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die Dotierung der Substratoberfläche mit einem Prozess aus der insitu Dotierung, Ionenimplantierung, und Plasmaimplantation beinhaltenen Gruppe umfaßt.

17. Das Verfahren gemäß Anspruch 11, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die schichtweise Implantierung des Substrats mit

Ionen aus der Ar, Xe, und Kr beinhaltenden Gruppe umfaßt.

18. Das Verfahren gemäß Anspruch 11, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die Abdeckung des Substrats und die Implantierung des Substrats mit Ionen aus der In, As<sub>2</sub>, Sb, BF<sub>2</sub>, und B<sub>10</sub>H<sub>x</sub> beinhaltenden Gruppe umfaßt.

19. Das Verfahren gemäß Anspruch 11, wobei der Schritt der Ionenimplantierung in die Polysiliziumschicht zur Ausbildung von erhöhten Kontakten einen Prozess aus der Insitu-Dotierung, Ionenimplantierung und Plasmaimplantierung beinhaltenden Gruppe umfaßt.

20. Ein Verfahren gemäß Anspruch 11, wobei der Schritt der Ionenimplantierung in die Polysiliziumschicht zur Ausbildung von erhöhten Kontakten eine Dotierung mit Niederenergie zwischen ungefähr 5 und 20 KeV und hoher Dosierung zwischen ungefähr 1E14 und 1E15 Ionen/cm<sup>2</sup> umfaßt.

21. Ein Verfahren gemäß Anspruch 11, das weiterhin eine Wärmebehandlung des Substrats zur Ausbildung flacher, unterhalb der erhöhten Kontakte liegender Übergänge umfaßt, wobei die flachen Übergänge eine Tiefe zwischen ungefähr 50 und 100 Nanometer haben.

22. Ein Verfahren zur Ausbildung von Kontakten bei der Herstellung eines integrierten Schaltkreis-Bauelements das umfaßt:

bereitstellen von Halbleiter-Bauelementstrukturen in und auf einem Substrat;

bedecken der Halbleiter-Bauelementstrukturen mit einer dielektrischen Schicht;

ätzen durch die dielektrische Schicht, um erste Öffnungen zu dem Substrat auszubilden;

amorphisieren einer Oberfläche des Substrats an Stellen, an denen es in den ersten Öffnungen freigelegt ist;

selektives ausbilden einer Polysiliziumschicht auf der amorphisierten Substratoberfläche unter Einsatz eines Prozesses halbkugelförmiger Körnung;

implantieren von Ionen in die Polysiliziumschicht, um erhobene Kontakte auszubilden, wobei die Implantierung eine Energie von weniger als 30 KeV und eine Dosierung von mehr als 3E15 Ionen/cm<sup>2</sup> umfaßt;

darauf folgend ätzen durch die dielektrische Schicht um zweite Öffnungen zu Gates auszubilden; und füllen der ersten und zweiten Öffnungen mit einer leitenden Schicht, um die Ausbildung der Kontakte zu vervollständigen bei der Herstellung des integrierten Schaltkreis-Bauelements.

23. Das Verfahren gemäß Anspruch 22, wobei die Halbleiter-Bauelementstrukturen Gate-Elektroden beinhalten.

24. Das Verfahren gemäß Anspruch 22, wobei die dielektrische Schicht einen oder mehrere Stoffe aus der Siliziumdioxid, Borophosphotetraethoxysilaneoxid, Borophosphosilikatglas, Phosphosilikatglas beinhaltenden Gruppe umfaßt.

25. Das Verfahren gemäß Anspruch 22, wobei der Schritt um die ersten Öffnungen durch Ätzen auszubilden ein selbstjustierender Kontakt-Ätzprozess ist.

26. Das Verfahren gemäß Anspruch 22, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die Dotierung der Substratoberfläche mit einem Prozess aus der insitu Dotierung, Ionenimplantierung, und Plasmaimplantierung beinhaltenden Gruppe umfaßt.

27. Das Verfahren gemäß Anspruch 22, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die schichtweise Implantierung des Substrats mit

Ionen aus der Ar, Xe, und Kr beinhaltenden Gruppe umfaßt.

28. Das Verfahren gemäß Anspruch 22, wobei der Schritt der Amorphisierung der Oberfläche des Substrats die Abdeckung des Substrats und die Implantierung des Substrats mit Ionen aus der In, As<sub>2</sub>, Sb, BF<sub>2</sub>, und B<sub>10</sub>H<sub>x</sub> beinhaltenden Gruppe umfaßt.

29. Das Verfahren gemäß Anspruch 22, wobei der Schritt der Ionenimplantierung in die Polysiliziumschicht zur Ausbildung von erhöhten Kontakten einen Prozess aus der Insitu-Dotierung, Ionenimplantierung und Plasmaimplantierung beinhaltenden Gruppe umfaßt.

30. Ein Verfahren gemäß Anspruch 22, das weiterhin eine Wärmebehandlung des Substrats zur Ausbildung flacher, unterhalb der erhöhten Kontakte liegender Übergänge umfaßt, wobei die flachen Übergänge eine Tiefe zwischen ungefähr 50 und 100 Nanometer haben.

---

Hierzu 6 Seite(n) Zeichnungen

---

- Leerseite -

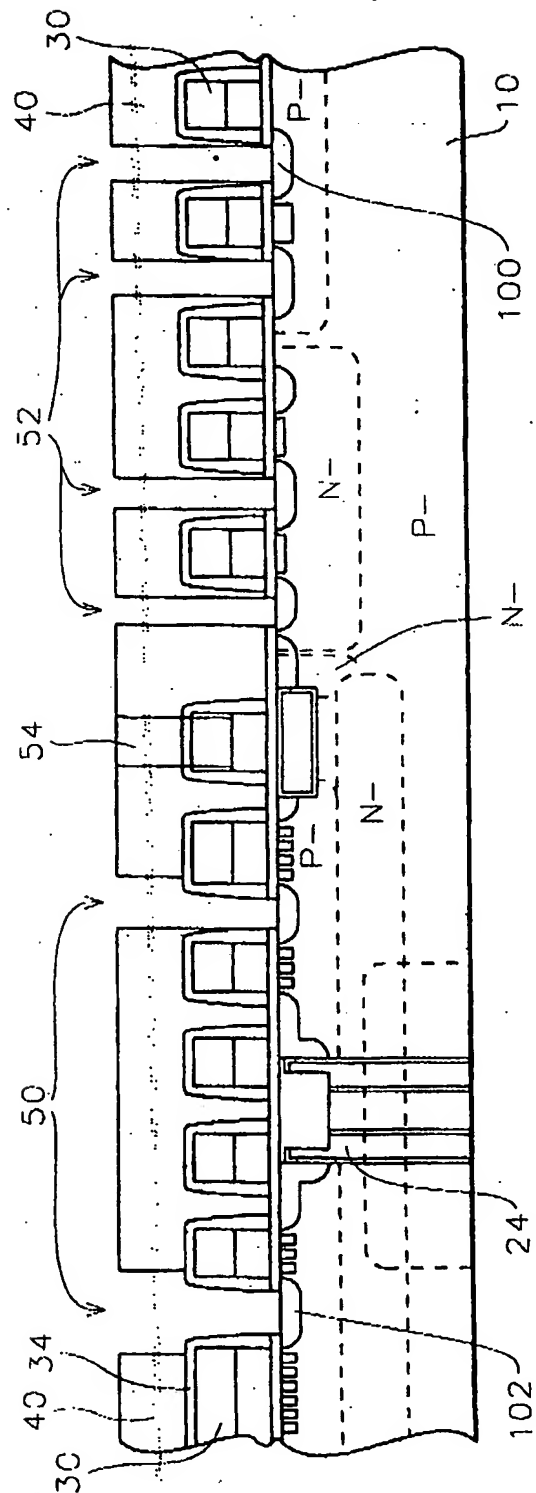


FIG. 1

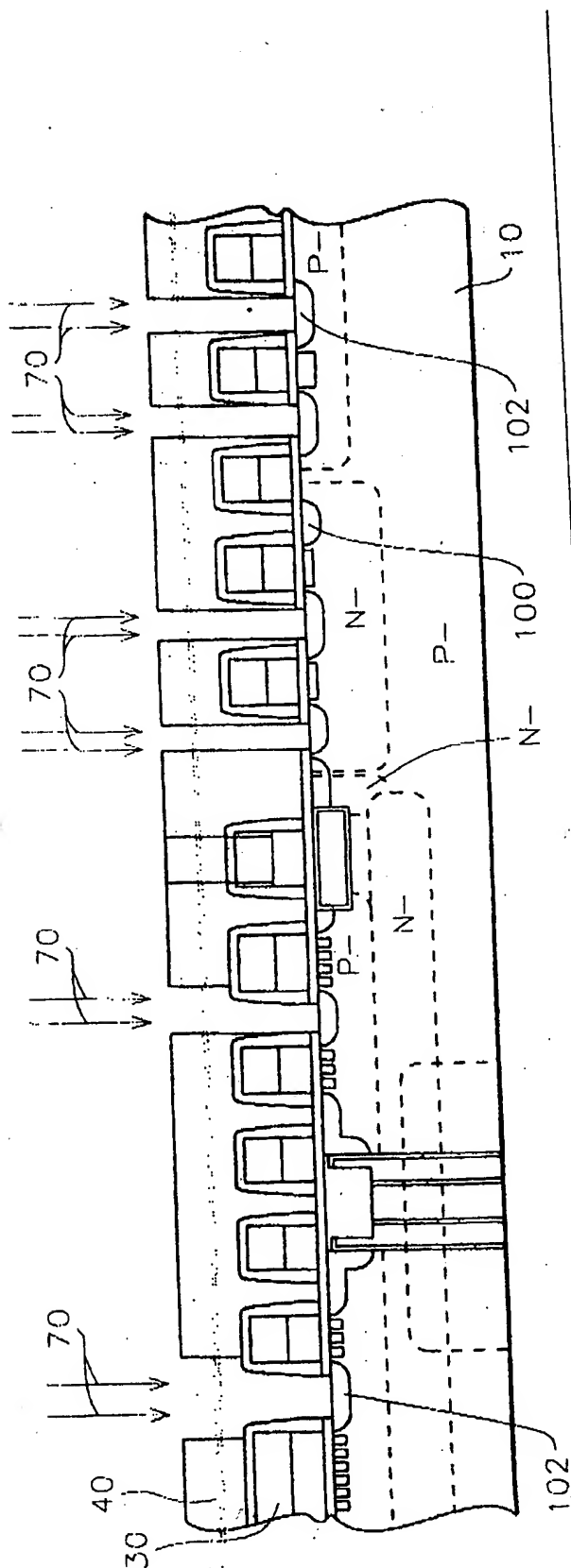


FIG. 2



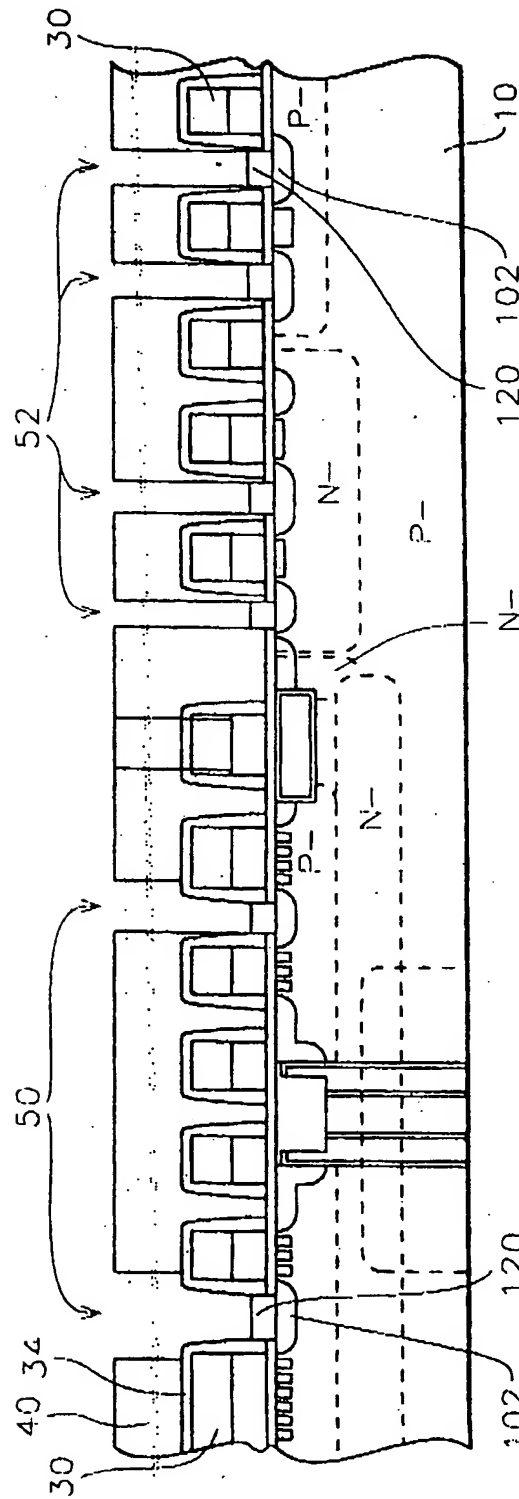


FIG. 3

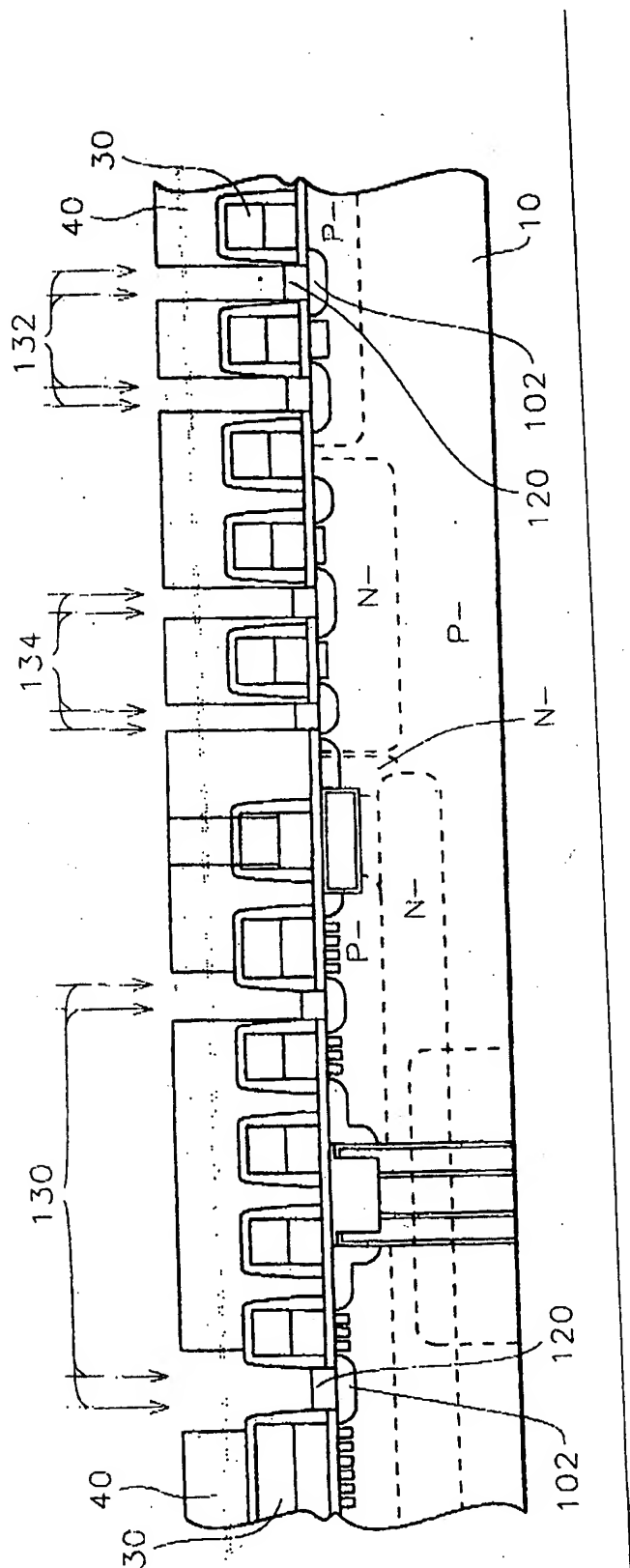


FIG. 4

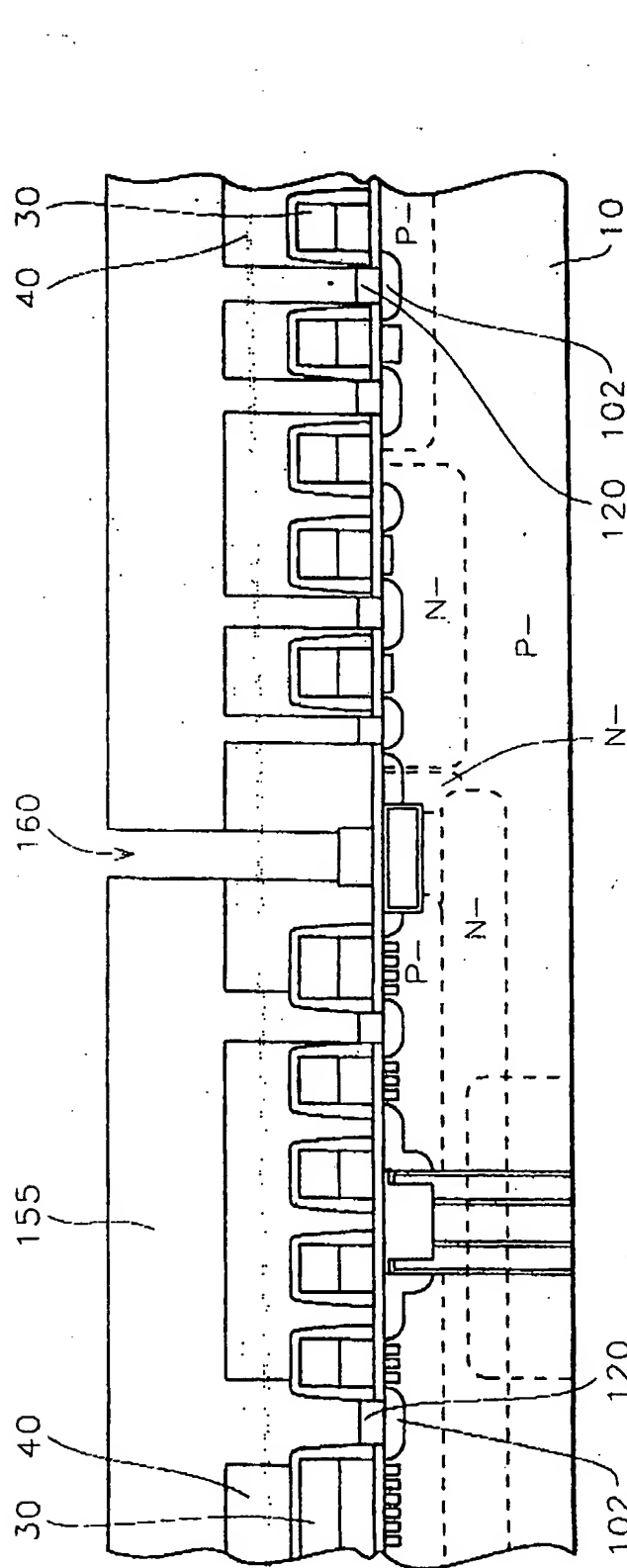


FIG. 5

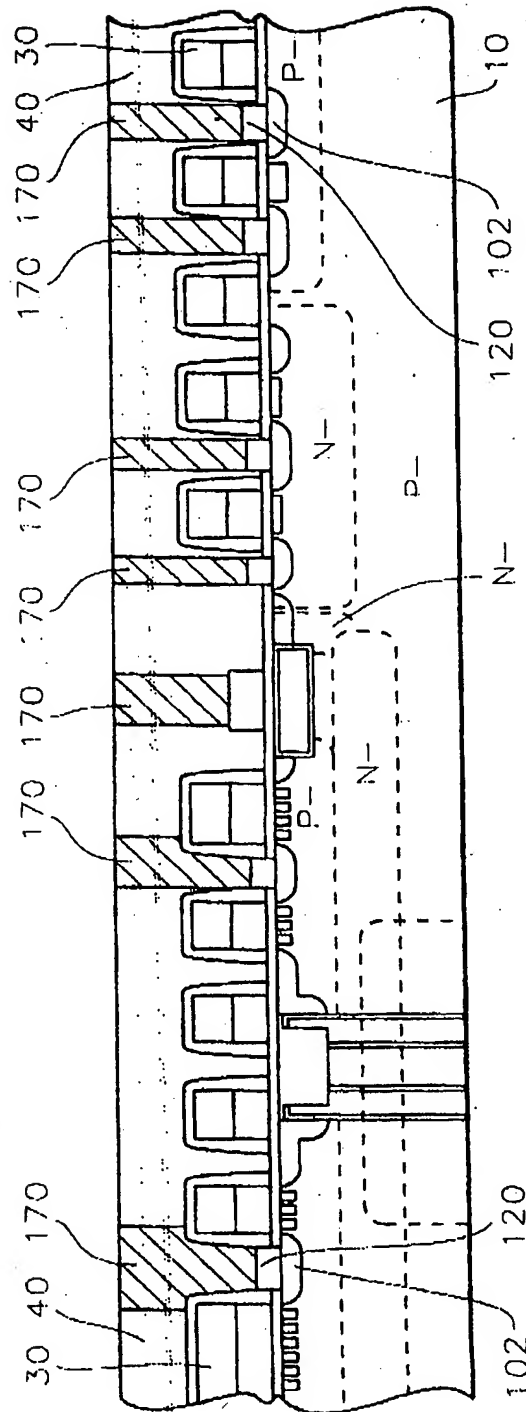


FIG. 6